

日本国特許庁
JAPAN PATENT OFFICE

57810-095
Takeda et al.
March 30, '04
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 3月31日

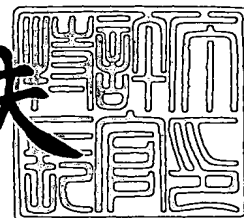
出願番号
Application Number: 特願2003-094210
[ST. 10/C]: [JP 2003-094210]

出願人
Applicant(s): 三洋電機株式会社

2004年 2月10日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3008153

【書類名】 特許願

【整理番号】 NPC1020070

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 武田 安弘

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 金田 和博

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【代理人】

 【識別番号】 100111383

 【弁理士】

 【氏名又は名称】 芝野 正雅

 【連絡先】 電話 0 3 - 3 8 3 7 - 7 7 5 1 知的財産センター 東
京事務所

【手数料の表示】

 【予納台帳番号】 013033

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法及び半導体装置

【特許請求の範囲】

【請求項 1】 シリコン基板にゲート絶縁膜及びゲート電極を有する MOS 型トランジスタが形成された半導体装置の製造方法であって、

前記シリコン基板上に前記ゲート絶縁膜及びゲート電極を形成する工程と、

前記ゲート電極にハロゲン元素をイオン注入する工程と、

前記シリコン基板を熱処理して前記ゲート電極中のハロゲン元素をゲート絶縁膜及びゲート絶縁膜とシリコン基板との界面に拡散させる工程と、
を備えたことを特徴とする半導体装置の製造方法。

【請求項 2】 シリコン基板に MOS 型トランジスタが形成された半導体装置の製造方法であって、

前記シリコン基板上に前記トランジスタを構成するゲート絶縁膜及びゲート電極を形成する工程と、

前記シリコン基板に前記トランジスタを構成するソース・ドレイン領域を形成する工程と、

前記ソース・ドレイン領域及び前記ゲート電極にハロゲン元素をイオン注入する工程と、

前記シリコン基板を熱処理して前記ゲート電極中のハロゲン元素をゲート絶縁膜及びゲート絶縁膜とシリコン基板との界面に拡散させるとともに、前記ソース・ドレイン領域のハロゲン元素を前記ゲート絶縁膜下の領域に拡散させる工程と、
を備えたことを特徴とする半導体装置の製造方法。

【請求項 3】 前記ハロゲン元素はフッ素であることを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 フッ素イオンをイオン注入する際のドーズ量は $1.5 \times 10^{15} \text{ cm}^{-2}$ 以上 $5 \times 10^{15} \text{ cm}^{-2}$ 以下であることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記ハロゲン元素の拡散に関わる熱処理は前記ハロゲン元素



のイオン注入後、1 回のみ行われることを特徴とする請求項 1 乃至 4 のうちのいずれか一項に記載の半導体装置の製造方法。

【請求項 6】 シリコン基板にゲート絶縁膜及びゲート電極を有する MOS 型トランジスタが形成された半導体装置において、

前記ゲート絶縁膜及びゲート絶縁膜とシリコン基板との界面のトランジスタチャンネルの中央領域にハロゲン元素が存在することを特徴とする半導体装置。

【請求項 7】 前記ハロゲン元素はフッ素であることを特徴とする請求項 6 に記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置の製造方法及び半導体装置に関するものである。

【0 0 0 2】

【従来の技術】

半導体装置を長期にわたって使用すると、しきい値電圧の変化や飽和電流の変化が大きくなることが知られている。これは、トランジスタの形成時にゲート絶縁膜中及びゲート絶縁膜とシリコン基板との界面に生じたダングリングボンド(dangling bond)によるものと考えられる。

【0 0 0 3】

従来の半導体装置では、その製造工程において水素中でアニールして水素イオンによりダングリングボンドを終端させていた。

しかし、シリコン原子と水素イオンとの結合エネルギーは比較的弱いため、ゲート・チャンネル間に印加された電場によってシリコン原子と水素イオンとが解離し、半導体装置にシリコン原子のダングリングボンドが生じる。そして、このダングリングボンドは電場が印加されている間経時的に増加する。その結果、半導体装置の特性が劣化する。

【0 0 0 4】

そこで、例えば特許文献 1 には、ソース及びドレインにフッ素イオンを注入し、該フッ素イオンを熱処理により半導体装置に拡散させるとともにシリコン原子

と結合させ半導体装置のダングリングボンドを終端させる方法が開示されている。フッ素イオンは水素イオンよりも強い結合エネルギーでシリコン原子と結合するため、この方法により作製された半導体装置は、長期にわたって特性が安定している。

【0 0 0 5】

【特許文献 1】

特開 2 0 0 1 - 1 5 6 2 9 1 号公報（第 1 1 - 1 3 頁）

【0 0 0 6】

【発明が解決しようとする課題】

ところが、特許文献 1 では、ソース及びドレインの表面に注入したフッ素イオンを熱処理によってゲート電極下の領域に拡散させるものであった。そのため、例えばゲート長が $10\ \mu\text{m}$ の長チャネルの半導体装置においては電極下の中央領域にまで十分にフッ素イオンが拡散しない。このような場合、中央領域界面付近のダングリングボンドの影響で、しきい値電圧の変化や飽和電流の変化が大きくなってしまうという問題があった。

【0 0 0 7】

本発明は、上記問題点を解決するためになされたものであって、その目的は、チャネルの長さに関わらず長期使用によるしきい値電圧及び飽和電流の変化を抑えることができる半導体装置及びその製造方法を提供することにある。

【0 0 0 8】

【課題を解決するための手段】

以下、上記目的を達成するための手段及びその作用効果について記載する。

請求項 1 に記載の発明は、半導体装置の製造方法において、シリコン基板にゲート絶縁膜及びゲート電極を有する MOS 型トランジスタが形成された半導体装置の製造方法であって、前記シリコン基板上に前記ゲート絶縁膜及びゲート電極を形成する工程と、前記ゲート電極にハロゲン元素をイオン注入する工程と、前記シリコン基板を熱処理する工程と、を備えた。上記構成によれば、ゲート電極にイオン注入されたハロゲン元素はシリコン基板が熱処理されることによりゲート電極からゲート絶縁膜とシリコン基板との界面に拡散される。そのため、ゲ-

ト絶縁膜とシリコン基板との界面全体に亘ってハロゲン元素が拡散され、長チャネルのトランジスタにおいても、チャネル中央領域のゲート絶縁膜とシリコン基板との界面のダングリングボンドがハロゲン元素にて終端される。尚、MOS型トランジスタは、MOS構造にて形成されたトランジスタを示す。

【0009】

請求項2に記載の発明は、シリコン基板にMOS型トランジスタが形成された半導体装置の製造方法であって、前記シリコン基板上に前記トランジスタを構成するゲート絶縁膜及びゲート電極を形成する工程と、前記シリコン基板に前記トランジスタを構成するソース・ドレイン領域を形成する工程と、前記ソース・ドレイン領域及び前記ゲート電極にハロゲン元素をイオン注入する工程と、前記シリコン基板を熱処理して前記ゲート電極中のハロゲン元素をゲート絶縁膜及びゲート絶縁膜とシリコン基板との界面に拡散させるとともに、前記ソース・ドレイン領域のハロゲン元素を前記ゲート絶縁膜下の領域に拡散させる工程と、を備えた。上記構成によれば、ソース・ドレイン領域及びゲート電極にイオン注入されたハロゲン元素はシリコン基板が熱処理されることによりゲート電極からゲート絶縁膜とシリコン基板との界面に拡散されるとともに、ソース・ドレイン領域からゲート絶縁膜とシリコン基板との界面に拡散される。そのため、ゲート絶縁膜とシリコン基板との界面全体に亘ってハロゲン元素が拡散され、長チャネルのトランジスタにおいても、チャネルの中央領域までゲート絶縁膜とシリコン基板との界面のダングリングボンドがハロゲン元素にて終端される。

【0010】

請求項3に記載の発明は、請求項1又は2に記載の発明において、前記ハロゲン元素はフッ素とした。上記構成によれば、ゲート電極にイオン注入されたフッ素が熱処理によってゲート電極からゲート絶縁膜を介してゲート絶縁膜とシリコン基板との界面に拡散され、長チャネルのトランジスタにおいてもゲート絶縁膜とシリコン基板との界面のダングリングボンドがフッ素にて長期的に安定して終端される。

【0011】

請求項4に記載の発明は、請求項3に記載の発明において、前記フッ素をイオ

ン注入する際のドーズ量を $1.5 \times 10^{15} \text{ cm}^{-2}$ 以上 $5 \times 10^{15} \text{ cm}^{-2}$ 以下とした。上記構成によれば、フッ素イオンがゲート電極の内部に注入されるため、ゲート絶縁膜中及びゲート絶縁膜とシリコン基板との界面の中央領域までフッ素が拡散され、ダングリングボンドがフッ素にて確実に終端される。

【0012】

請求項 5 に記載の発明は、請求項 1 乃至 4 のうちのいずれか一項に記載の発明において、前記熱処理は前記ハロゲン元素のイオン注入後、1 回のみ行った。上記構成によれば、熱処理を行う工程が 1 回のみで済むことにより半導体装置の製造コストが低減される。

【0013】

請求項 6 に記載の発明は、シリコン基板にゲート絶縁膜及びゲート電極を有する MOS 型トランジスタが形成された半導体装置において、前記ゲート絶縁膜中及びゲート絶縁膜とシリコン基板との界面のトランジスタチャネルの中央領域にハロゲン元素が存在する。上記構成によれば、ゲート絶縁膜中及びゲート絶縁膜とシリコン基板との界面に存在するハロゲン元素により、長チャネルのトランジスタにおいても、チャネルの中央領域までゲート絶縁膜とシリコン基板との界面のダングリングボンドが終端される。

【0014】

請求項 7 に記載の発明は、請求項 6 に記載の発明において、前記ハロゲン元素はフッ素とした。上記構成によれば、ゲート絶縁膜中及びゲート絶縁膜とシリコン基板との界面に存在するフッ素によりゲート絶縁膜とシリコン基板との界面のダングリングボンドが長期的に安定して終端される。

【0015】

【発明の実施の形態】

以下、本発明にかかる半導体装置およびその製造方法の一実施の形態について図 1 ～図 8 に従って説明する。

【0016】

図 1 に示されるように、半導体装置 1 は、p 型シリコン基板 2 に形成された素子分離領域 3 ～ 5 を境界に、p 型の導電領域（p ウェル）6 及び n 型の導電領域

(n ウェル) 7 を有している。p ウェル 6 には n チャネル型の MOS トランジスタ 8 が、また n ウェル 7 には p チャネル型の MOS トランジスタ 9 が、それぞれ形成されている。

【0017】

p ウェル 6 には、n 型のソース・ドレイン領域 10, 11 が形成されている。本実施の形態では、ソース・ドレイン領域 10, 11 は、LDD (Lightly Doped Drain) 領域若しくはソース・ドレインエクステンション領域 (SDE) としての領域 10a, 11a (以下、SDE として説明する) と、高濃度ソース・ドレイン領域 10b, 11b とからなる。SDE 10a, 11a は、互いに所定の間隔だけ離間して形成されている。高濃度ソース・ドレイン領域 10b, 11b は、それぞれ高濃度に不純物イオンを注入して形成されている。

【0018】

チャネル 6a の上部には熱酸化法にて形成されたゲート絶縁膜 12 を介してゲート電極 13 が積層されている。

ゲート絶縁膜 12 及びゲート電極 13 は、チャネル 6a の長さと略等しく形成されている。ゲート絶縁膜 12 及びゲート電極 13 の両側部にはスペーサ 14, 15 が形成されている。

【0019】

高濃度ソース・ドレイン領域 10b, 11b 及びゲート電極 13 は、上部にコバルトシリサイド 16~18 が形成されている。コバルトシリサイド 16~18 は、それぞれコンタクト 20~22 を介してアルミ等で形成された上層配線 20a~22a に接続されている。上層配線 20a~22a は、層間絶縁膜 19 の上部にて例えばアルミ合金電極にて電氣的に接続されている。

【0020】

n ウェル 7 には、p 型のソース・ドレイン領域 30, 31 が形成されている。本実施の形態では、ソース・ドレイン領域 30, 31 は、SDE 30a, 31a と、高濃度ソース・ドレイン領域 30b, 31b からなる。SDE 30a, 31a は、互いに所定の間隔だけ離間して形成されている。高濃度ソース・ドレイン領域 30b, 31b は、それぞれ高濃度に不純物イオンを注入して形成されてい

る。

【0021】

チャンネル 7 a の上部には熱酸化法にて形成されたゲート絶縁膜 3 2 を介してゲート電極 3 3 が積層されている。

ゲート絶縁膜 3 2 及びゲート電極 3 3 は、チャンネル 7 a の長さと同程度に形成されている。ゲート絶縁膜 3 2 及びゲート電極 3 3 の両側部にはスペーサ 3 4, 3 5 が形成されている。

【0022】

高濃度ソース・ドレイン領域 3 0 b, 3 1 b 及びゲート電極 3 3 は、上部にコバルトシリサイド 3 6 ~ 3 8 が形成されている。コバルトシリサイド 3 6 ~ 3 8 は、それぞれコンタクト 4 0 ~ 4 2 を介してアルミ等で形成された上層配線 4 0 a ~ 4 2 a に接続されている。上層配線 4 0 a ~ 4 2 a は、層間絶縁膜 1 9 の上部にて例えばアルミ合金電極にて電氣的に接続されている。

【0023】

次に、半導体装置の製造方法について説明する。

まず、図 2 (a) に示すように、p 型シリコン基板 2 に S T I (Shallow trench isolation) による素子分離領域 3 ~ 5 を形成する。そして、リソグラフィ技術により所定領域が開口するようにパターニングされたレジスト 5 1 をマスクとして n 型の導電型に対応する不純物 (例えばリン) を注入し、n ウェル 7 を形成する。その後、しきい値電圧調整のために n ウェル 7 の上方からヒ素イオンをイオン注入する。尚、本実施形態において、このときのヒ素イオンのドーズ量を「 $0.5 \times 10^{12} \text{ cm}^{-2} \sim 5 \times 10^{12} \text{ cm}^{-2}$ 」とし、またそのエネルギーを「120 keV」とする。

【0024】

次に、図 2 (b) に示すように、リソグラフィ技術により所定領域が開口するようにパターニングされたレジスト 5 2 をマスクとして p 型の導電型に対応する不純物 (例えばホウ素) を注入し、p ウェル 6 を形成する。その後、しきい値電圧調整のために p ウェル 6 の上方からホウ素イオンをイオン注入する。尚、本実施形態において、このときのホウ素イオンのドーズ量を「 $1 \times 10^{12} \text{ cm}^{-2} \sim 5$

$\times 10^{12} \text{ cm}^{-2}$ 」とし、またそのエネルギーを「20 keV」とする。

【0025】

次に、基板に1000℃で10秒間のRTA (Rapid thermal annealing) を行い、両ウェル6, 7の不純物の活性化を行う。

次に、図3に示すように、酸化雰囲気中で熱処理を施すことでp型シリコン基板2の表面にシリコン酸化膜を所定の膜厚（例えば2 nm～10 nm）にて形成し、NO雰囲気中で所定時間のアニーリングを行うことによりゲート絶縁膜12, 32を形成する。次に、ゲート絶縁膜12, 32の上にCVD法により多結晶シリコンを堆積し、リソグラフィによりレジストパターンを形成した後、エッチングによりゲート電極13, 33のパターンを形成する。尚、本実施形態において、多結晶シリコンの厚さを200 nm、ゲート長を1 μm 、ゲート幅を100 μm とする。

【0026】

次に、p型シリコン基板2を再酸化して所定の膜厚（例えば5 nm）の酸化膜を作製した後に、図4（a）に示すように、所定領域が開口するレジスト53をマスクとしてリンイオンをイオン注入し、SDE10a, 11aを形成する。尚、本実施形態においては、このときのリンイオンの注入条件として、ドーズ量を「 $0.5 \times 10^{13} \text{ cm}^{-2} \sim 3 \times 10^{13} \text{ cm}^{-2}$ 」、そのエネルギーを「30 keV」とし、イオン注入の入射角を7°に設定する。また、ゲート電極の周辺に不純物が均一に注入されるようにp型シリコン基板2を90°ずつ4回回転させながらイオン注入を行う。

【0027】

次に、SDE10a, 11aの形成と同様に、ソース・ドレイン領域としてのSDE30a, 31aを形成する。即ち、図4（b）に示すように、所定領域が開口するレジスト54をマスクとして二フッ化ホウ素イオンをイオン注入し、SDE30a, 31aを形成する。尚、本実施形態においては、このときの二フッ化ホウ素イオンの注入条件として、ドーズ量を「 $1 \times 10^{13} \text{ cm}^{-2} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 」、そのエネルギーを「15 keV」とし、イオン注入の入射角を7°に設定する。また、ゲート電極の周辺に不純物が均一に注入されるようにp型シリコ

ン基板 2 を 90° ずつ 4 回回転させながらイオン注入を行う。

【0028】

次に、上記のレジスト 54 を利用し、図 5 に示すように、p 型シリコン基板 2 の上、即ち、SDE 30a, 31a とゲート電極 33 にフッ素イオンをイオン注入する。尚、本実施形態においては、このときのフッ素イオンの注入条件として、ドーズ量を「 $3 \times 10^{15} \text{ cm}^{-2}$ 」、そのエネルギーを「 20 keV 」とする。この時のフッ素イオンの注入条件はフッ素イオンがゲート電極 33 を貫通してゲート絶縁膜 32 まで到達しないように設定され、フッ素イオンはゲート絶縁膜 32 の近傍位置にまで注入される。

【0029】

次に、不純物の活性化のために 1 回の熱処理としての RTA を行う。この時の処理条件として、雰囲気温度を 1050°C 、時間を 5 秒とする。この RTA により、フッ素イオンがゲート電極 33 及び SDE 30a, 31a から拡散される。フッ素イオンの拡散スピードはゲート電極 33 の内部の方が p 型シリコン基板 2 の内部よりも早い。

【0030】

従って、フッ素イオンはゲート電極 33 から即座にゲート絶縁膜 32 にまで達し、該ゲート絶縁膜 32 を介して、ゲート絶縁膜 32 とウェル 7 との界面に拡散される。また、この時、ゲート絶縁膜 32 と p 型シリコン基板 2 との界面の両側に形成された SDE 30a, 31a から徐々にチャンネル 7a の中央領域に向かってフッ素イオンが拡散される。

【0031】

このため、トランジスタ 9 のチャンネル長が長い場合に、ゲート電極 33 からゲート絶縁膜 32 と p 型シリコン基板 2 との界面にフッ素を拡散させるのに要する処理時間は、SDE 30a, 31a のみからフッ素を拡散させる場合の処理時間に比べて極めて短い。また、1 回の RTA によりフッ素をゲート電極 33 と SDE 30a, 31a から拡散させるため、処理工数が少なく、半導体装置 1 の製造時間が短い。

【0032】

次に、図6 (a) に示すように、ゲート電極13, 33の各側部にスペーサ14, 15, 34, 35を形成する。その後、所定領域が開口したレジスト55をマスクとしてヒ素イオンをイオン注入し、高濃度ソース・ドレイン領域10b, 11bを形成する。尚、本実施形態においては、このときのヒ素イオンの注入条件として、ドーズ量を「 $3 \times 10^{15} \text{ cm}^{-2} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 」、そのエネルギーを「45 keV」とする。

【0033】

同様に、図6 (b) に示すように、pウェル6の領域が開口するようにレジスト56をマスクとしてホウ素イオンをイオン注入し、ソース・ドレイン領域としての高濃度ソース・ドレイン領域30b, 31bを形成する。尚、本実施形態においては、このときのホウ素イオンの注入条件として、ドーズ量を「 $5 \times 10^{15} \text{ cm}^{-2}$ 」、そのエネルギーを「7 keV」とする。

【0034】

両ウェル6, 7に高濃度ソース・ドレイン領域10b, 11b及び30b, 31bを形成した後、p型シリコン基板2に1050℃で10秒間のRTAにより、不純物の活性化を行う。

【0035】

その後、公知の方法により、ゲート電極13, 33、ソース・ドレイン領域10b, 11b及び30b, 31bにコバルトシリサイド16～18及び36～38を選択的に形成する。そして、層間絶縁膜19、コンタクト20～22及び40～42、上層配線20a～22a及び40a～42aなどを形成し、半導体装置1を作製する。

【0036】

図7はフッ素イオンのドーズ量と、NBTI特性（高温で基板に対して負の電圧をゲート電極に印加し続けるとトランジスタの駆動能力が劣化する特性）との関係を示すグラフである。横軸はフッ素イオンのドーズ量（ atom/cm^2 ）を示し、縦軸は時間（hour）即ち半導体装置の特性劣化までの寿命を示す。図に示すように、測定した範囲において、フッ素イオンのドーズ量は高くなるほど半導体装置の特性劣化までの寿命が長くなる。

【0037】

図8は半導体装置における電圧の印加時間Tに伴うしきい値電圧の変化量 (ΔV_t) を示すグラフである。横軸は時間を示し、縦軸はしきい値電圧の変化量 (ΔV_t) を示す。

【0038】

ソリッドサークルを結んだ線L1は上述した本実施形態における半導体装置1の特性を示しており、オープンサークルを結んだ線L2は半導体装置1と比較するためにチャンネルにフッ素イオンを注入していない従来の半導体装置の特性を示している。しきい値電圧の変化量 (ΔV_t) は、pチャンネル型MOSトランジスタのソース・ドレイン及び基板に0V、ゲート電極に-4.6Vの電圧を印加して測定した測定値である。図に示されるように、本実施形態における半導体装置1は、従来の半導体装置に比べてしきい値電圧の変化量 (ΔV_t) が少なくなっている。

【0039】

以上詳述したように、本実施形態によれば、以下に示す効果が得られる。

(1) ゲート電極33に注入されたフッ素イオンは、RTAによってゲート電極33からその積層方向に沿ってゲート絶縁膜32とp型シリコン基板2のウェル7との界面にまで拡散する。フッ素イオンの拡散距離はフッ素イオンが注入された位置とゲート絶縁膜32の厚さとによって決定され、SDE30a, 31a間のチャンネル7aの長さには影響されない。従って、ゲート電極33内におけるフッ素イオンの注入位置と不純物の活性条件を設定することによってチャンネル7aの長さ範囲の全体に亘ってチャンネル7aとゲート絶縁膜32との界面にフッ素イオンを拡散することができる。その結果、チャンネルの全域にわたってダングリングボンドを終端させ、半導体装置のしきい値電圧及び飽和電流の変化を抑制することができる。

【0040】

(2) ダングリングボンドの終端に水素イオンよりも強い結合エネルギーでシリコン原子と結合するフッ素イオンを用いたため、長期にわたってトランジスタの特性を安定にすることができる。

【0041】

(3) フッ素イオンはゲート絶縁膜32とともに、該ゲート絶縁膜32とp型シリコン基板2との界面の両側に形成されたSDE30a, 31aに注入されている。従って、フッ素イオンは、ゲート絶縁膜32及びSDE30a, 31aからチャンネル7aの中央領域に向かって拡散される。そのため、チャンネル7aの全領域へのフッ素イオンの拡散がより確実に行われ、チャンネル7aの全域に亘って半導体装置のしきい値電圧及び飽和電流の変化を抑制することができる。

【0042】

なお、本発明の実施の形態は、次のように変更してもよい。

・上記実施の形態において、ソース・ドレイン領域30, 31へのフッ素イオンの注入はSDE30a, 31aの形成後に行ったが、SDE30a, 31aの形成前、即ち、図3に示すように、ゲート電極33の形成直後にフッ素イオンの注入を行ってもよい。

【0043】

また、ソース・ドレイン領域30, 31へのフッ素イオンの注入はSDE30a, 31aの形成直後、即ち高濃度ソース・ドレイン領域30b, 31bが形成される前に行われていた。しかし、ソース・ドレイン領域30, 31へのフッ素イオンの注入を高濃度ソース・ドレイン領域30b, 31bを形成した後に行ってもよい。

【0044】

・上記実施の形態において、フッ素イオン注入後の不純物の活性化をRTAに行ったが、炉アニールにて行ってもよい。その場合の処理条件は、加熱温度が700～900℃、処理時間が30～60分間である。

【0045】

・上記実施の形態において、フッ素イオンを注入して両SDE30a, 31aの間のチャンネル7aとゲート絶縁膜32との界面のダングリングボンドを終端させた。しかし、注入されるイオンはシリコン原子と安定して結合してダングリングボンドの発生を抑制できるものであればよく、その他のハロゲン元素のイオンを用いてもよい。

【0 0 4 6】

・上記実施の形態において、フッ素イオンの注入条件を、ドーズ量を「 $3 \times 10^{15} \text{ cm}^{-2}$ 」、そのエネルギーを「 20 keV 」としたが、これに限定されず、ドーズ量は「 $1.5 \times 10^{15} \text{ cm}^{-2} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 」程にすることが望ましい。

【0 0 4 7】

また、そのイオン注入のエネルギーは「 20 keV 」に限定されず、「 $10 \sim 20 \text{ keV}$ 」の範囲内に設定することが望ましい。

・上記実施の形態において、ソース・ドレイン領域 1 0, 1 1 或いはソース・ドレイン領域 3 0, 3 1 は、S D E 1 0 a, 1 1 a と高濃度ソース・ドレイン領域 1 0 b, 1 1 b、或いは S D E 3 0 a, 3 1 a と高濃度ソース・ドレイン領域 3 0 b, 3 1 b とにより形成されていた。しかし、S D E 又は L D D を持たないソース・ドレイン領域を有する半導体装置に具体化してもよい。

【0 0 4 8】

【発明の効果】

以上詳述したように、本発明によればチャネルの長さに関わらず長期使用によるしきい値電圧及び飽和電流の変化を抑えることができる半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】 半導体装置の概略図。

【図 2】 (a), (b) は半導体装置の製造工程の説明図。

【図 3】 半導体装置の製造工程の説明図。

【図 4】 (a), (b) は半導体装置の製造工程の説明図。

【図 5】 半導体装置の製造工程の説明図。

【図 6】 (a), (b) は半導体装置の製造工程の説明図。

【図 7】 フッ素イオンのドーズ量と、N B T I 特性との関係を示すグラフ。

。

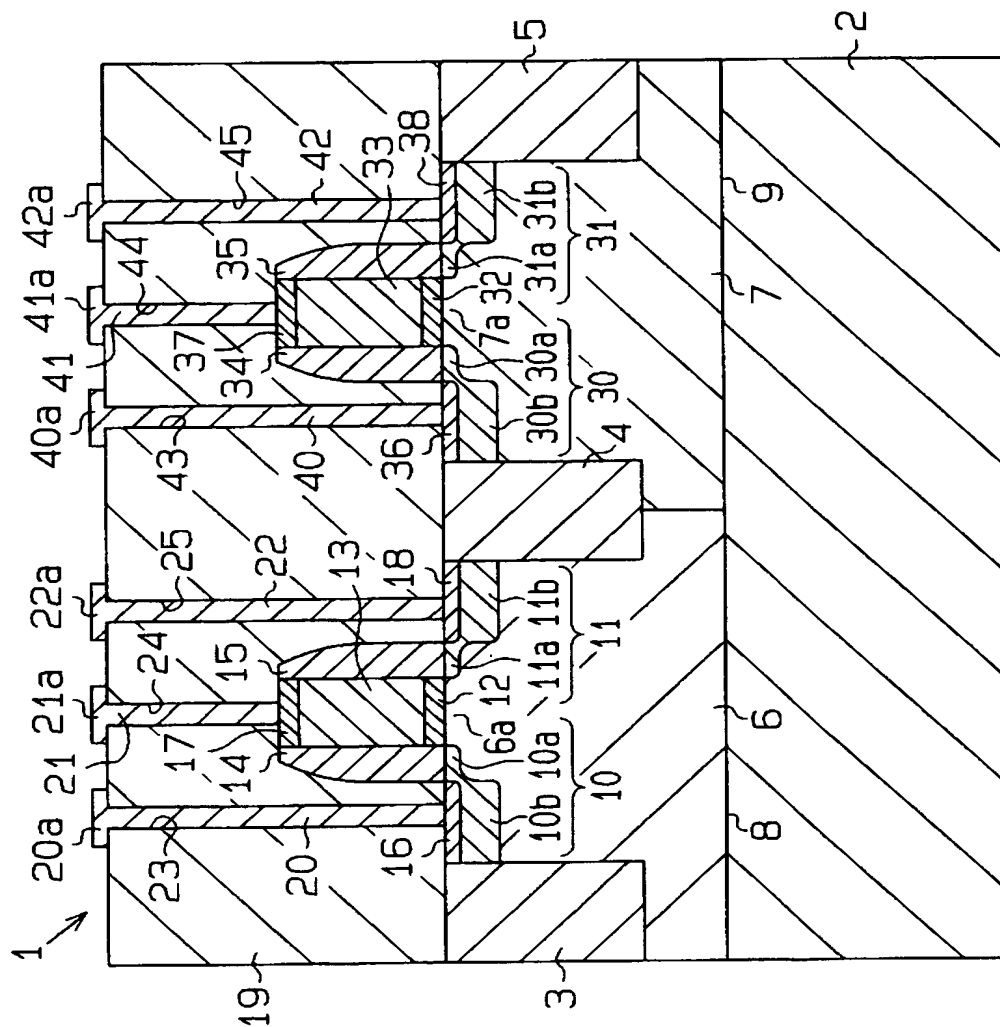
【図 8】 電圧の印加時間としきい値電圧の変化を示すグラフ。

【符号の説明】

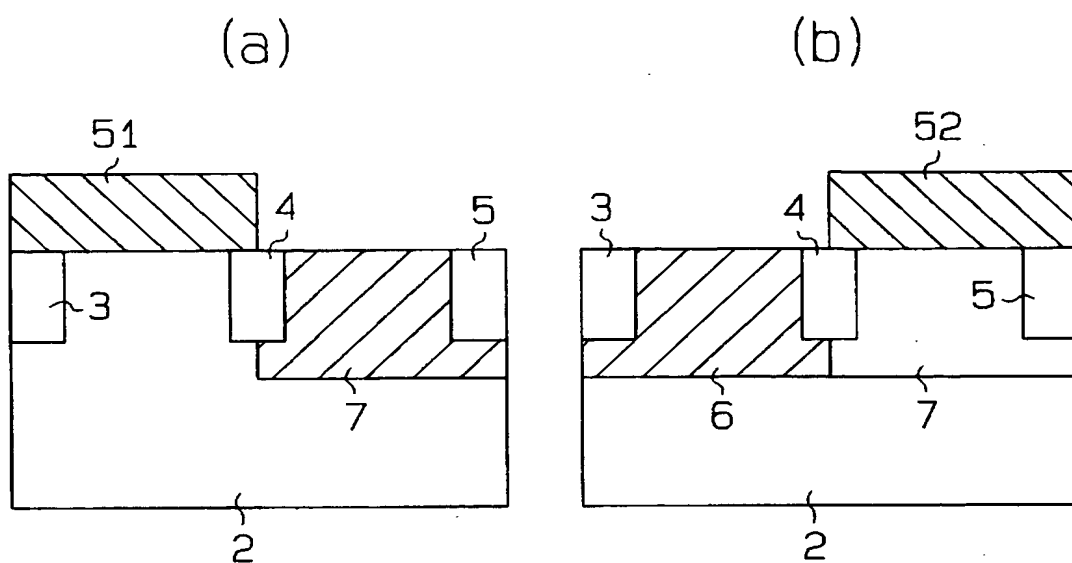
1…半導体装置、2…シリコン基板、7 a…チャネル、9…pチャネル型のMOSトランジスタ（MOS型トランジスタ）、3 0 a, 3 1 a…ソース・ドレインエクステンション領域（SDE）、3 2…ゲート絶縁膜、3 3…ゲート電極。

【書類名】 図面

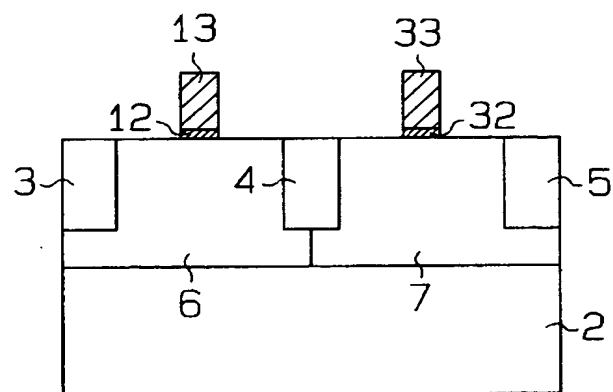
【図 1】



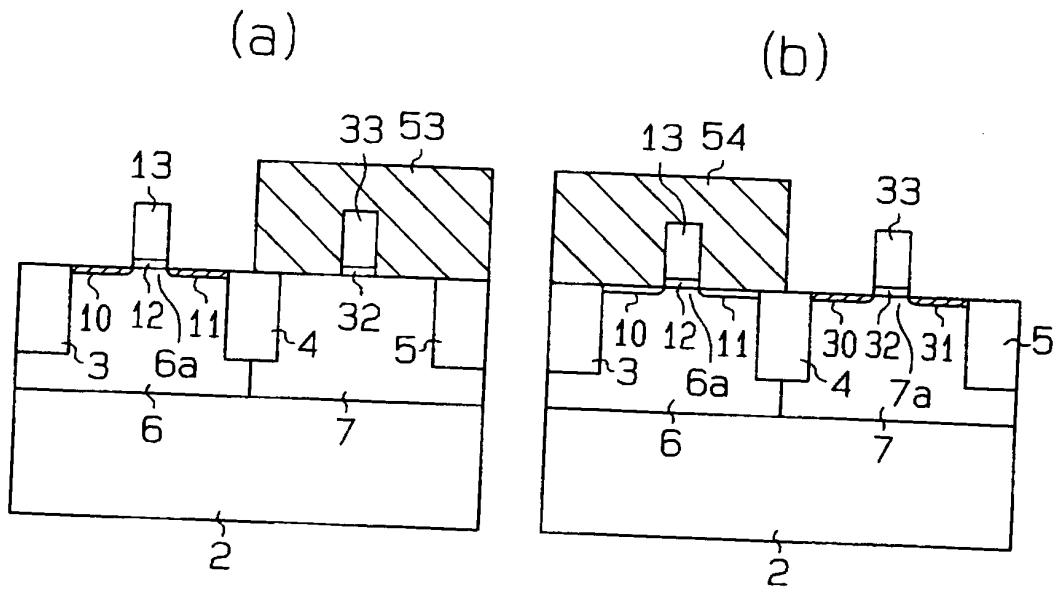
【図 2】



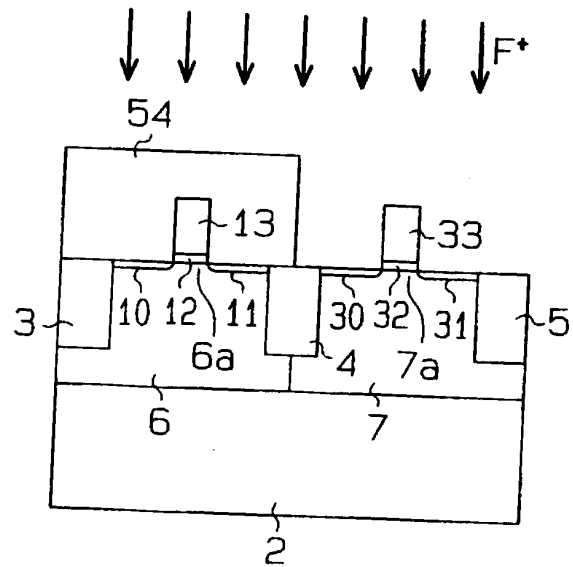
【図 3】



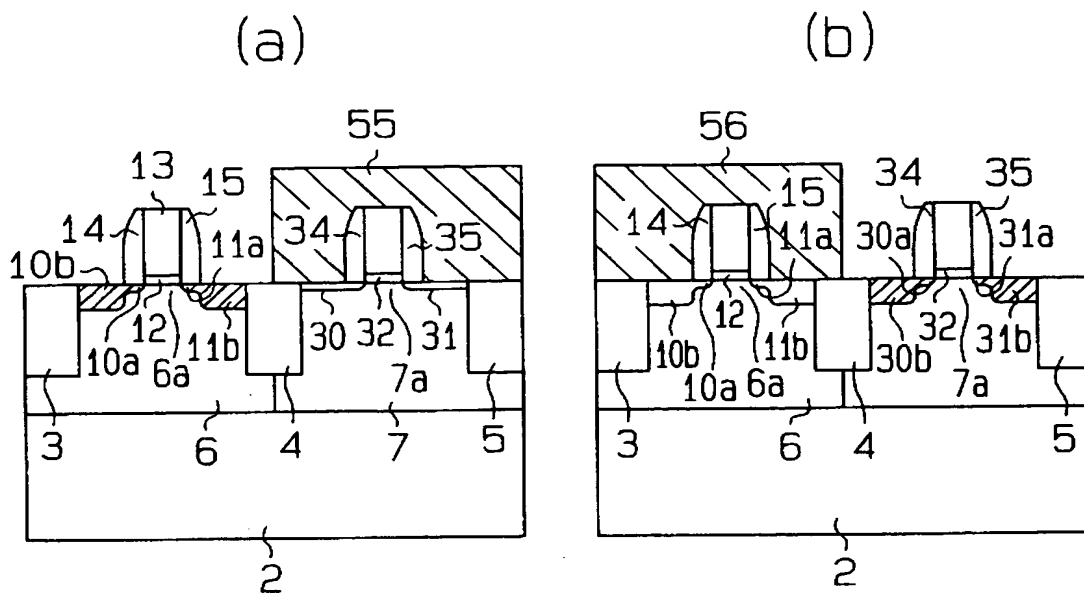
【図 4】



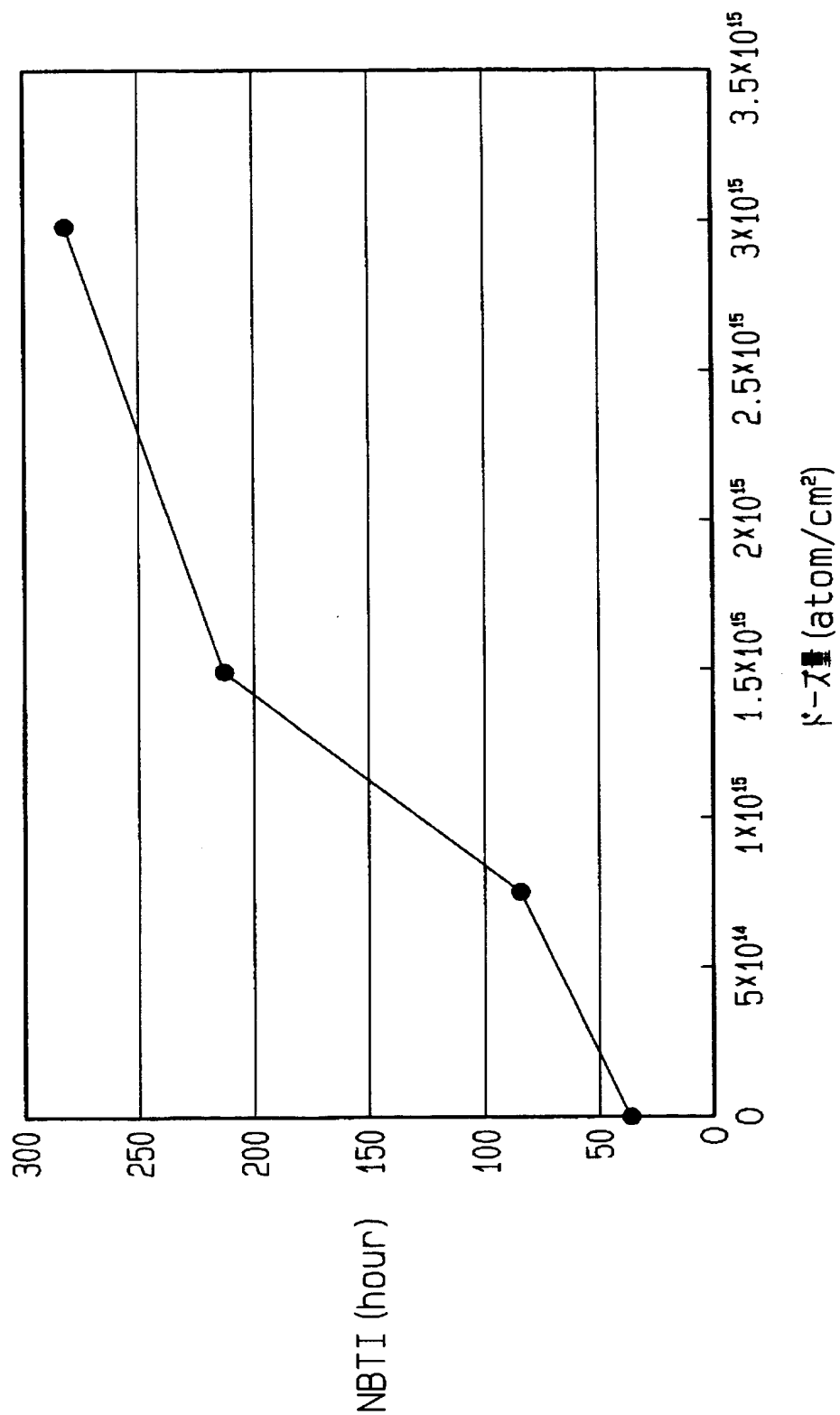
【図 5】



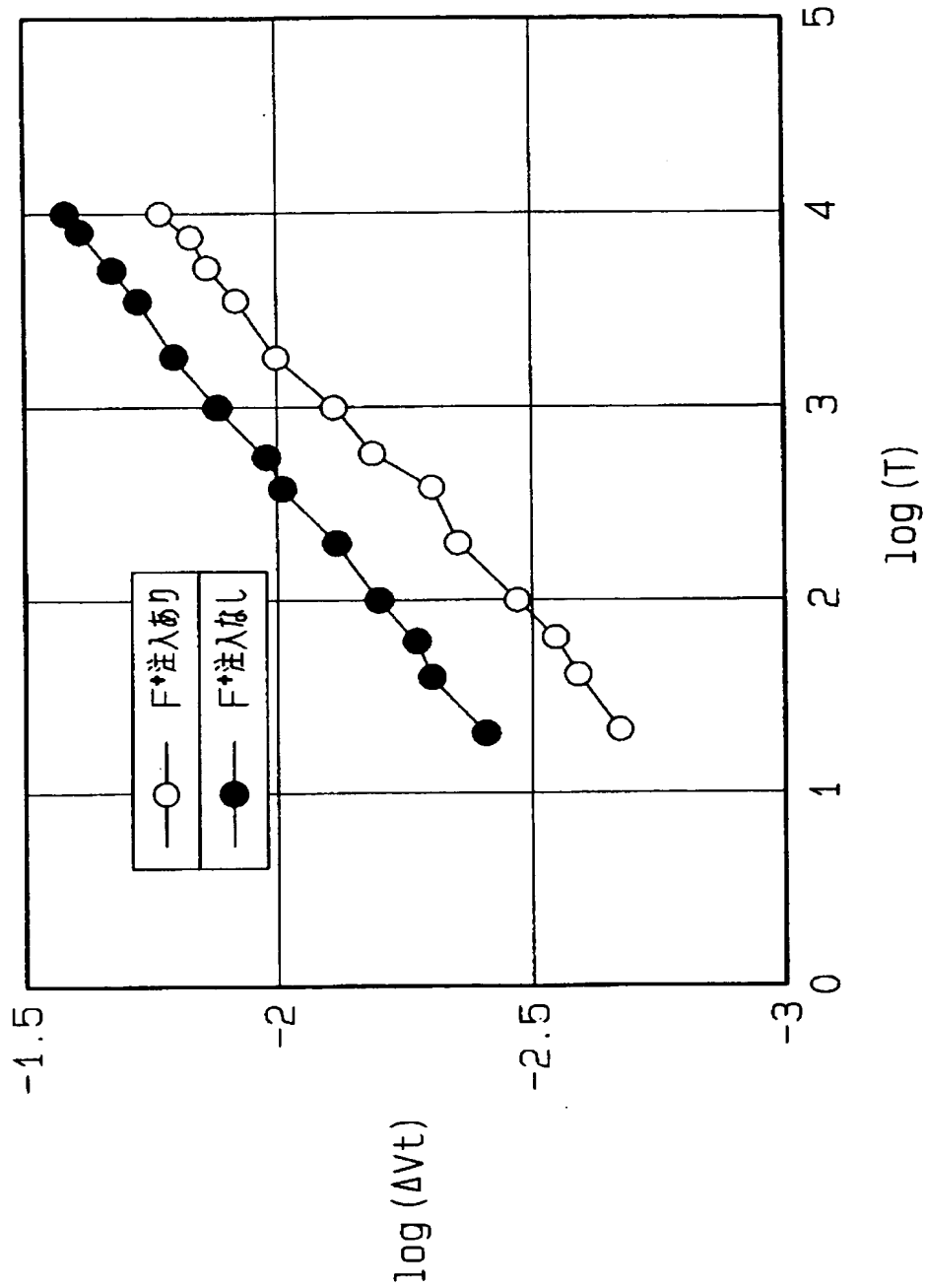
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 チャンネルの長さに関わらず長期使用によるしきい値電圧及び飽和電流の変化を抑えることができる半導体装置の製造方法を提供すること。

【解決手段】 p チャンネル型 MOS トランジスタのウェル 7 にはソース・ドレイン領域 3 0, 3 1 が形成されている。両ソース・ドレイン領域 3 0, 3 1 の間にはチャンネル 7 a が形成されている。両ソース・ドレイン領域 3 0, 3 1 とゲート電極 3 3 の上面からフッ素イオンをイオン注入し、不純物の活性化のために 1 回の熱処理を行う。この熱処理により、フッ素イオンはゲート電極 3 3 及びソース・ドレイン領域 3 0, 3 1 からゲート絶縁膜 3 2 と p 型シリコン基板 2 のウェル 7 との界面にまで拡散する。

【選択図】 図 5

特願 2 0 0 3 - 0 9 4 2 1 0

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 8 8 9]

1. 変更年月日	1 9 9 3 年 1 0 月 2 0 日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通 2 丁目 5 番 5 号
氏 名	三洋電機株式会社